

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : **05-326922**  
 (43)Date of publication of application : **10.12.1993**

(51)Int.Cl. **H01L 29/06**  
**H01L 21/205**  
**H01L 29/68**  
**H01S 3/18**

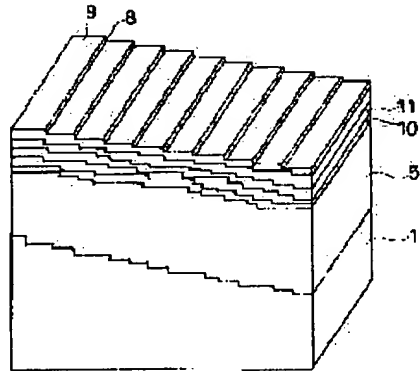
(21)Application number : **04-149014** (71)Applicant : **NIPPON TELEGR & TELEPH CORP <NTT>**  
 (22)Date of filing : **18.05.1992** (72)Inventor : **SAITO HISAO**  
**UEI KUNIIHIKO**

## (54) SEMICONDUCTOR CRYSTAL GROWTH

### (57)Abstract:

**PURPOSE:** To improve flatness in the plane on the substrate crystal surface by controlling the height of step on the grown crystal surface to the single atom layer and the width of terrace with the equal interval.

**CONSTITUTION:** A vertical type semiconductor superlattice is formed through the processes that a GaAs buffer layer 5 is grown by the organic metal vapor growth method in the thickness of about 600Å; on a substrate crystal surface of a GaAs inclined substrate 1, thereafter a superlattice is grown in the 20 periods, each period thereof including formation of three-atom layers of AlAs crystal layer 10 and three-atom layers of GaAs crystal layer 11 on this GaAs buffer layer 5, next a semiconductor superlattice is grown for 900 periods, each period thereof including formation of 0.5 atom layer of AlAs and next 0.5-atom layer of GaAs on this superlattice.



## LEGAL STATUS

[Date of request for examination] **25.01.1995**  
 [Date of sending the examiner's decision of rejection]  
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]  
 [Date of final disposal for application]  
 [Patent number] **2733725**  
 [Date of registration] **09.01.1998**  
 [Number of appeal against examiner's decision of rejection]  
 [Date of requesting appeal against examiner's decision of rejection]  
 [Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁(J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-326922

(43)公開日 平成5年(1993)12月10日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/06				
21/205				
29/68		7377-4M		
H 0 1 S 3/18				

審査請求 未請求 請求項の数1(全 4 頁)

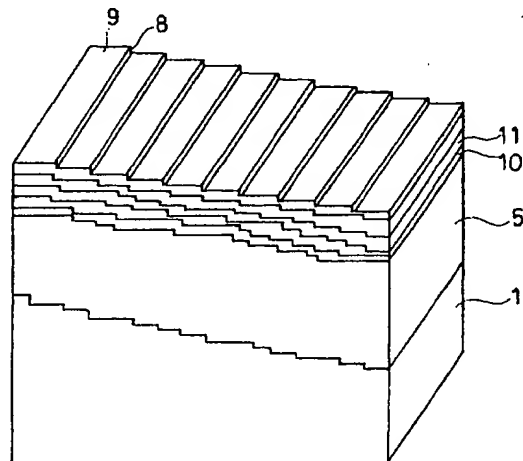
(21)出願番号	特願平4-149014	(71)出願人	000004226 日本電信電話株式会社 東京都千代田区内幸町一丁目1番6号
(22)出願日	平成4年(1992)5月18日	(72)発明者	斎藤 久夫 東京都千代田区内幸町1丁目1番6号 日 本電信電話株式会社内
		(72)発明者	上井 邦彦 東京都千代田区内幸町1丁目1番6号 日 本電信電話株式会社内
		(74)代理人	弁理士 山川 政樹

(54)【発明の名称】 半導体結晶成長方法

(57)【要約】

【目的】 成長結晶表面上のステップの高さを一原子層およびテラス幅を等間隔に制御し、基板結晶表面上の面内での平坦性を向上させる。

【構成】 GaAs傾斜基板1の基板結晶上に有機金属気相成長法によりGaAsバッファ層5を約600Å成長した後、このGaAsバッファ層5上にAlAs結晶層10を三原子層と、GaAs結晶層11を三原子層とを成長させ、これを一周期とする超格子を20周期成長させ、その後、図示されないが、この超格子にAlAsを0.5原子層、次にGaAsを0.5原子層を一周期とする半導体超格子を900周期成長して縦型半導体超格子4を形成した。



## 【特許請求の範囲】

【請求項1】 複数の原料原子または原料化合物を順次切り替えてGaAs(001)面から[バー110]方向へ傾いた基板結晶表面上に前記原料に応じた少なくとも2種類の半導体を析出する結晶成長法を用いて縦型半導体超格子を形成する半導体結晶成長方法において、前記縦型半導体超格子を形成するに先だって前記基板結晶表面上に2種類の半導体を一原子層づつまたは数原子層を一周期とする超格子を数十周期形成することを特徴とした半導体結晶成長方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、例えば超高速の低次元電子トランジスタ、低発振閾値を持つ量子井戸あるいは量子井戸細線構造レーザなどの形成に適用される半導体結晶成長法に係わり、特に基板結晶表面上の面内での平坦制御方法に関するものである。

## 【0002】

【従来の技術】加熱炉内に複数の有機金属化合物ガス等の原料を順次切り替えて導き、この原料に応じた基板結晶表面上に析出する結晶成長法(MOCVD法)を用い、GaAs(001)面から[バー110]方向へ傾いた基板結晶表面上の[110]方向の沿ってできる原子ステップを利用してそのステップから優先的に横方向成長を行い、図4に示すような縦型半導体超格子構造4や量子細線構造を形成しようとする場合、GaAs傾斜基板1の基板結晶表面のステップ(段差)2が一原子層あるいはテラス3の幅(ステップとステップとの間隔)が等間隔でなければならない。

【0003】しかしながら、結晶成長に用いるGaAs傾斜基板1の基板表面は、加工ダメージや数十原子層の段差を有するステップが多く存在し、また、テラス間隔も不均一である。このため、基板結晶上にバッファ層としてGaAsを数百Å以上形成したり、あるいはGaAsとAlAsとを交互に40~100Åを一周期として20から100周期形成した超格子を基板結晶と縦型半導体超格子との間に挿入して単原子ステップやテラス幅を制御する試みが行われていた。

## 【0004】

【発明が解決しようとする課題】しかしながら、前述した従来の半導体結晶成長方法においても、成長結晶表面上の平坦性が制御されなため、図5に示すようにGaAs傾斜基板1上に形成したGaAsバッファ層5の成長表面にはステップ6の高さが数原子層以上の凹凸が存在し、しかもテラス7の幅も等間隔ではなく、幅の広い(数百Å)テラス7aと幅の狭い(40~50Å以下)テラス7bとが混在する。このため、縦型半導体超格子4を形成した場合、周期の不均一や超格子界面の混晶化が起こるという問題があった。また、量子細線構造における細線幅の面内寸法が均一でなく、特性のばらつきが

多くなるという問題があった。

【0005】したがって本発明は、前述した従来の課題を解決するためになされたものであり、その目的は、成長結晶表面上のステップの高さを一原子層およびテラス幅を等間隔に制御し、基板結晶表面上の面内での平坦性を向上させることができる半導体結晶成長方法を提供することにある。

## 【0006】

【課題を解決するための手段】このような目的を達成するために本発明は、複数の有機金属化合物等の原料を順次切り替えて導き、この原料に応じた半導体を基板結晶表面上に析出する結晶成長法を用い、GaAs(001)面から[バー110]方向へ傾いた基板結晶表面上に2種類の半導体として例えばGaAsとAlAsとを一原子層または数原子層覆うことに交互に供給し、一原子層づつまたは数原子層を一周期とする超格子を十〜数十周期形成するものである。

## 【0007】

【作用】本発明においては、GaAs(001)面から[バー110]方向へ傾いた基板結晶表面上に多くのステップ(段差)や不均一なテラスを有した場合であっても、成長表面上は一原子層のステップを有し、かつ等間隔のテラス幅が形成される。

## 【0008】

【実施例】以下、図面を用いて本発明の実施例を詳細に説明する。図1は、本発明による半導体結晶成長方法の一実施例を説明するための模式図であり、前述の図と同一部分には同一符号を付してある。同図において、8はステップを示し、9はテラスを示す。ここでは、GaAs(001)面の[バー110]方位に対して角度 $\theta = 2^\circ$ 、さらに面内の垂直方位の[110]に対して角度 $\theta = 0^\circ$ 、1度傾いた結晶表面を有するGaAs傾斜基板1を用いた。まず、第1の工程として、GaAs傾斜基板1の基板結晶上に有機金属気相成長法によりGaAsバッファ層5を約600Å成長し、基板表面の加工ダメージの影響をなくした。次に第2の工程として、AlAs結晶層10を三原子層と、GaAs結晶層11を三原子層とを成長させ、これを一周期とする超格子を20周期成長させた。その後、第3の工程として、図4に示すようなAlAsを0.5原子層、次にGaAsを0.5原子層を一周期とする半導体超格子を900周期成長して縦型半導体超格子4を形成した。

【0009】このような方法において、第2の工程で成長した超格子表面のステップ8の高さおよびテラス9の幅をTEMにより観察した結果、ステップが一原子層でかつ幅の広いテラスと狭いテラスのテラス幅の差は10Å以下(約3原子層)であり、成長表面上が完全に制御されていることを確認した。また、図1中のAlAs結晶層10とGaAs結晶層11とを一原子層づつあるいは二原子層を一周期として60周期程度成長させた場合

でも、同様な効果が得られた。

【0010】図2は本発明に係わる超格子周期と表面上のテラス幅との関係を示したものである。同図において、横軸はAlAs結晶層とGaAs結晶層の一周期の原子層の厚さ(ML:モノレーヤ)を示し、縦軸は幅の広いテラス(Tw)と狭いテラス(Tn)とのテラス幅の差(Å)を示している。同図から明かなように超格子周期が26原子層では、150Å以上のテラス幅のばらつきがあるのに対し、6原子層では10Å以下である。このように本実施例によれば、成長表面上のテラス幅の均一性が約15倍改善されたことが解る。

【0011】次に前述した結晶成長条件の詳細について説明する。高周波加熱の横型炉を用い、約76torrの減圧下で結晶成長を行った。原料としてトリエチルアルミ(TEAl)、トリエチルガリウム(TEGa)、アルシン(AsH<sub>3</sub>)を用いた。反応管内の分圧は、それぞれ $5.9 \times 10^{-4}$ torr、 $5.8 \times 10^{-4}$ torr、 $5.3 \times 10^{-4}$ torrであり、水素キャリアガスも含め、全ガス流量は4リットル/分である。また、成長温度は約600℃である。この条件での成長速度は、0.47Å/秒であり、約6秒間でテラス(平坦部)9の前面が覆われ、丁度一原子層の厚さに相当する。

【0012】図3は本発明による半導体結晶成長方法により形成された半導体超格子を光素子への応用として活性層をInAsとした量子細線構造レーザに適用した場合を示す模式図である。同図において、21は前述したGaAs傾斜基板1に相当するn-GaAs基板、22はn-(AlAs)、(GaAs)、超格子、23はGaAs層、24はInAs活性層、25はp-AlGaAsクラッド層、26はp-GaAsキャップ層、27電極、28は電極である。

【0013】このような構成によれば、電極27に正、電極28に負の電圧を加えることにより、p-AlGaAsクラッド層25から正孔、n-(AlAs)、(GaAs)、超格子22から電子が細線構造であるInAs活性層24中に供給され、その電子および正孔の状態密度が一次元化することにより、不連続となり、発振閾値が低下し、かつ温度に対して安定化する。

【0014】

【発明の効果】以上、説明したように本発明によれば、GaAs(001)面から[バー110]方位に傾いた基板結晶表面上に多数のステップ(段差)を有し、かつ

不均一なテラス幅が存在する場合においても、ステップの高さ(段差)を一原子層にかつテラス幅を等間隔に制御することができる。したがって縦型半導体超格子の周期の均一性や界面が改善され、かつ超高速の低次元電子トランジスタあるいは低発振閾値を持つ量子井戸または量子細線構造レーザなどの製作および特性の向上に優れた効果がある。

【図面の簡単な説明】

【図1】本発明の一実施例を説明するための模式図である。

【図2】超格子周期とテラス幅との関係を示す図である。

【図3】本発明の応用例を示す量子細線構造レーザの模式図である。

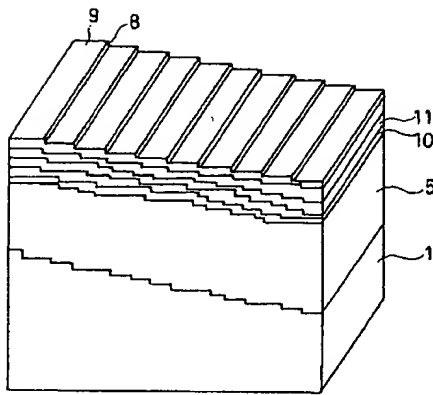
【図4】従来の(AIAs)<sub>1/2</sub>(GaAs)<sub>1/2</sub>縦型半導体超格子の構成を示す模式図である。

【図5】従来の縦型半導体超格子におけるステップの高さおよびテラス幅が制御されていない場合のGaAsバッファ層表面を示す模式図である。

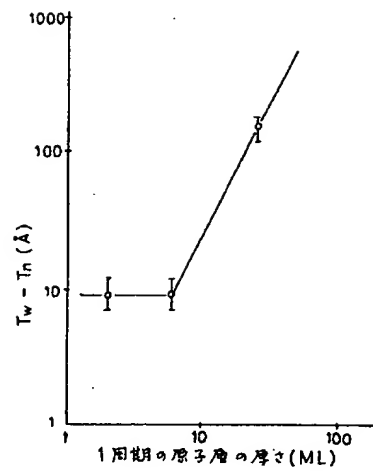
【符号の説明】

- |    |                     |
|----|---------------------|
| 1  | GaAs傾斜基板            |
| 2  | ステップ                |
| 3  | テラス                 |
| 4  | 縦型半導体超格子            |
| 5  | GaAsバッファ層           |
| 6  | ステップ                |
| 7  | テラス                 |
| 7a | 幅の広いテラス             |
| 7b | 幅の狭いテラス             |
| 8  | ステップ                |
| 9  | テラス                 |
| 10 | AlAs結晶層             |
| 11 | GaAs結晶層             |
| 21 | n-GaAs傾斜基板          |
| 22 | n-(AlAs)、(GaAs)、超格子 |
| 23 | GaAs層               |
| 24 | InAs活性層             |
| 25 | p-AlGaAsクラッド層       |
| 26 | p-GaAsキャップ層         |
| 27 | 電極                  |
| 28 | 電極                  |

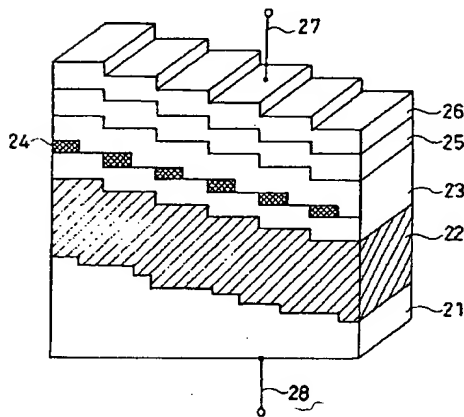
【図1】



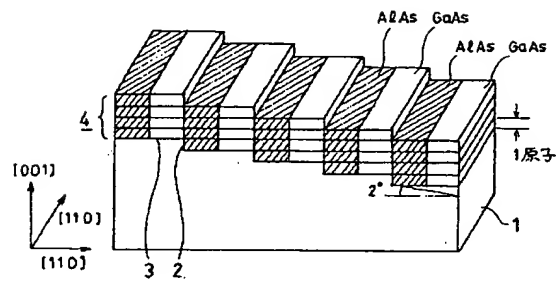
【図2】



【図3】



【図4】



【図5】

